

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

Requested Patent: JP9282301A

Title: MICROCONTROLLER ;

Abstracted Patent: JP9282301 ;

Publication Date: 1997-10-31 ;

Inventor(s): DOI TOSHIO; IWASE KAZUNORI ;

Applicant(s): MITSUBISHI ELECTRIC CORP; MITSUBISHI DENKI ENG KK ;

Application Number: JP19960092666 19960415 ;

Priority Number(s): ;

IPC Classification: G06F15/78 ;

Equivalents:

ABSTRACT:

PROBLEM TO BE SOLVED: To cope with various requests of users with ports limited in number and also to secure high versatility by making selector perform a switching operation to alternatively select the signals which are sent from a 1st port and a 1st circuit. **SOLUTION:** When the switching data of a switching register 102 are set in 1st state by a CPU 1, a selector 103 selects an interrupt request signal sent from a counter 101 of a peripheral circuit 2. This selected request signal is sent to an interrupt channel 13. Thus, the interrupt request signal is sent to the CPU 1 from an interrupt controller 10, and the CPU 1 discontinues its present data processing and starts the interrupt processing. When the switching data of the register 102 are set in a 2nd state by the CPU 1, the selector 103 selects a signal of a port 5. This selected signal is directly sent to the channel 13. Thus, the CPU 1 discontinues its present processing and starts the interrupt processing.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-282301

(43) 公開日 平成9年(1997)10月31日

(51) Int. Cl.⁶
G 0 6 F 15/78

識別記号 庁内整理番号
5 1 0

F I
G 0 6 F 15/78

技術表示箇所

5 1 0 E

審査請求 未請求 請求項の数13 OL (全 19 頁)

(21) 出願番号 特願平8-92666

(22) 出願日 平成8年(1996)4月15日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(71) 出願人 591036457

三菱電機エンジニアリング株式会社

東京都千代田区大手町2丁目6番2号

(72) 発明者 土居 俊雄

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 岩瀬 一範

東京都千代田区大手町二丁目6番2号 三

菱電機エンジニアリング株式会社内

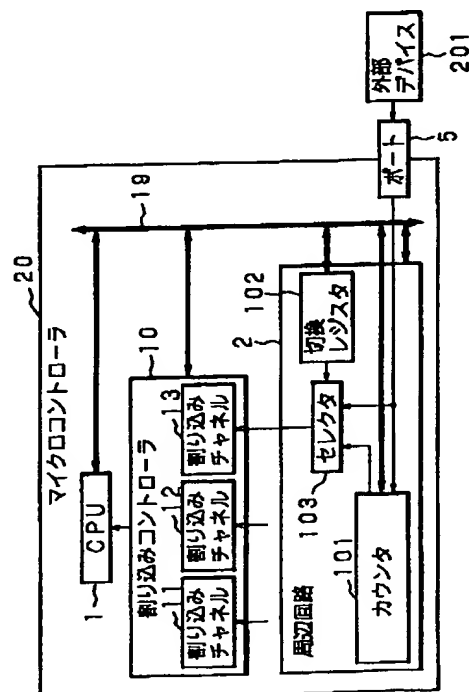
(74) 代理人 弁理士 宮田 金雄 (外3名)

(54) 【発明の名称】 マイクロコントローラ

(57) 【要約】

【課題】 外部デバイスからの信号が伝達されるポートを有効利用でき汎用性が高いマイクロコントローラを提供すること。

【解決手段】 外部デバイスからの割り込み要求信号が伝達されるポート5と、ポート5の割り込み要求信号を伝達すべきカウンタ101と、カウンタ101からの割り込み要求信号及びポート5からの割り込み要求信号を択一的に選択すべく切換動作するセクタ103と、セクタ103を切換動作させるデータを格納する切換レジスタ102と、セクタ103が選択した割り込み要求信号を伝達すべき割り込みコントローラ10とを備える。



【特許請求の範囲】

【請求項1】 外部デバイスからの信号が伝達される第1ポートと、該第1ポートから伝達される信号により動作する第1回路と、前記第1ポートの信号及び前記第1回路からの信号を択一的に選択すべく切換動作する第1セレクトと、該第1セレクトが選択した信号を伝達すべき割り込みコントローラと、前記第1セレクトを切換動作させるデータを格納する第1切換レジスタと、前記セレクトが選択した信号により割り込み処理をするCPUとを備えることを特徴とするマイクロコントローラ。

【請求項2】 割り込みコントローラに代えてDMAコントローラを備える請求項1記載のマイクロコントローラ。

【請求項3】 第1切換レジスタに代えて、第1回路の動作を許可すべき動作許可ビットを格納する記憶部を備える請求項1記載のマイクロコントローラ。

【請求項4】 第1ポート以外の第2ポートと、割り込みコントローラに代えて、割り込み順を判別すべき割り込みレベルデータを格納するレベルレジスタとを備える請求項1記載のマイクロコントローラ。

【請求項5】 第1ポート以外の第2ポートと、割り込みコントローラに代えて、割り込み開始位置を指定すべき割り込みベクタデータを格納するベクタレジスタとを備える請求項1記載のマイクロコントローラ。

【請求項6】 レベルレジスタに代えて、DMA順を判別すべきDMAレベルデータを格納するDMAレベルレジスタを備える請求項4記載のマイクロコントローラ。

【請求項7】 割り込みコントローラに代えてDMAコントローラを備える請求項4、請求項5のいずれかに記載のマイクロコントローラ。

【請求項8】 第1切換レジスタに代えて、第1回路の動作を許可すべき動作許可ビットを格納する記憶部を備える請求項4、請求項5のいずれかに記載のマイクロコントローラ。

【請求項9】 外部デバイスからの信号が伝達される第1ポートと、該第1ポートから伝達される信号により動作する第1回路と、割り込み要求データを格納する割り込みレジスタと、該割り込みレジスタの割り込み要求データ及び前記第1回路からの信号を択一的に選択すべく切換動作する第4セレクトと、該第4セレクトが選択した信号を伝達すべき割り込みコントローラと、前記第4セレクトを切換動作させるデータを格納する第4切換レジスタと、第4セレクトが選択した信号により割り込み処理をするCPUとを備えることを特徴とするマイクロコントローラ。

【請求項10】 割り込みレジスタに代えて、データレジスタを備え、該データレジスタを第1ポートに備えている請求項9記載のマイクロコントローラ。

【請求項11】 割り込みレジスタに代えて、第1回路を動作させるデータを格納する回路制御レジスタを備え

る請求項9記載のマイクロコントローラ。

【請求項12】 外部デバイスからの信号が伝達される第1ポート及び第2ポートと、前記第1ポートから伝達される信号により動作する第1回路と、前記第2ポートから伝達される信号により動作する第2回路と、第1回路からの信号及び第2ポートからの信号を択一的に選択すべく切換動作する第5セレクトと、該第5セレクトが選択した信号を伝達すべき割り込みコントローラと、前記第5セレクトを切換動作させるデータを格納する第5切換レジスタと、第5セレクトが選択した信号により割り込み処理をするCPUとを備えることを特徴とするマイクロコントローラ。

【請求項13】 割り込みコントローラに代えて、DMAコントローラを備える請求項3、請求項9乃至請求項12のいずれかに記載のマイクロコントローラ。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明はワンチップパッケージのマイクロコントローラに関するものである。

【0002】

【従来の技術】このようなマイクロコントローラは、例えば本願出願人が発行しているM16/16、又は7700シリーズのユーザズマニュアルに掲載されている。図19はそのワンチップパッケージのマイクロコントローラの構成を示すブロック図である。ワンチップのマイクロコントローラ20には、データ処理及び割り込み処理を行うCPU1と、カウンタ及びシリアル入出力等の特定の機能を有する周辺回路3と、メモリ8と、周辺回路2を含む複数の周辺回路から割り込み要求信号を受けてCPU1に割り込みの発生を伝える割り込みコントローラ10と、周辺回路3を含む複数の周辺回路からダイレイト・メモリ・アクセス要求を受けて、予め設定されたデータの転送を行うDMA(ダイレイト・メモリ・アクセス)コントローラ15と、データバス19とが内蔵される。

【0003】割り込みコントローラ10には、特定の周辺回路の割り込み要求に対応する割り込みチャンネル11,12,13が内蔵される。DMAコントローラ15には、特定の周辺回路のDMA要求に対応するアドレスを格納しているDMAチャンネル16,17,18が内蔵される。マイクロコントローラ20には、それに内蔵されている特定の周辺回路に、外部から入力される信号を伝えるポート4,5,6,7と、外部デバイス9が接続された外部バス21及びデータバス19を接続するバスインタフェース22とを備える。CPU1、周辺回路2,3、メモリ8、割り込みコントローラ10、DMAコントローラ15、ポート4,5,6,7及びバスインタフェース22は、データバス19と接続される。

【0004】割り込みコントローラ10が出力する割り込み要求信号はCPU1へ伝達される。外部デバイス23からの信号はポート4へ伝達され、ポート4へ伝達された信号は割り込みチャンネル12へ伝達される。ポート5へ伝達

された信号は周辺回路2へ伝達され、周辺回路2が出力する信号は割り込みチャンネル13へ伝達される。割り込みチャンネル11には図示しない他の周辺回路からの信号が伝達される。外部デバイス24からの信号はポート6へ伝達され、ポート6に伝達された信号はDMAチャンネル17へ伝達される。ポート7に伝達された信号は周辺回路3へ伝達され、周辺回路3が出力する信号はDMAチャンネル18へ伝達される。DMAチャンネル16には図示しない他の周辺回路からの信号が伝達される。

【0005】次にこのマイクロコントローラの動作を説明する。CPU 1はメモリ8及び外部デバイス9に格納されているデータをデータバス19及び外部バス22を介して読み込み、読み込んだデータに従ってデータ処理を行う。このデータ処理の具体例としては、割り込みコントローラ10、DMAコントローラ15及び周辺回路2、3等の動作条件の設定を行うため、データバス19を介して夫々の図示しないレジスタに適正な値を書き込む動作、メモリの格納データを演算処理する動作、周辺回路からの割り込み要求に応じて割り込み処理を行う動作等がある。

【0006】ここで割り込み処理の手順の一例を示す。周辺回路2がカウンタである場合、ポート5のレベル変化を周辺回路(カウンタ)2がカウントし、所定値に達したときに割り込み要求信号を発生する。発生した割り込み要求信号は割り込みコントローラ10のカウンタ2に対応させた割り込みチャンネル13に伝達される。割り込みコントローラ10は、複数の割り込みチャンネル11、12、13の状態を監視して、適宜の優先順位に従って割り込み要求をCPU 1へ伝達する。優先順位のデータは図示しないレジスタに格納され、あるいはハードウェアにより固定する。割り込み要求信号が伝達されるとCPU 1は、いままでのデータ処理を中断し、データバス19を介して割り込みコントローラ10から、割り込み処理の開始アドレス、又は割り込み処理の開始番地を示す割り込みベクタを読み取り、その開始アドレス又は割り込みベクタに基づいて割り込み処理のための命令を、メモリ8又は外部デバイス9から順次読み出して割り込み処理を行う。割り込み処理が終了すると中断していたデータ処理を継続する。割り込みベクタのデータは、レジスタに格納でき、あるいはハードウェアにより固定する。

【0007】また、割り込みコントローラ10は周辺回路2からの割り込み要求信号以外に、外部デバイス23からの割り込み要求信号をポート4を介して受取り、前述したと同様に割り込み処理を行う。また、周辺回路2、3を使用しない場合は、CPU 1によりカウンタ101が信号を取り込まないようにして、周辺回路2、3に外部からの信号を伝達するポート5、7を、汎用ポートとして利用が可能であり、この場合CPU 1はポート5、7に伝達されている信号をデータバス19を介して読み取ることができる。DMAコントローラ15はデータの転送をCPU 1の代わりに行う。そして複数のDMAチャンネル16、17、18ごと

に、データの転送元、転送先を指定できる。

【0008】DMA転送の一例として外部デバイスからメモリ8へのデータの転送がある。この場合、ポート6からDMAコントローラ15のDMAチャンネル17にデータ転送要求が伝えられると、DMAコントローラ15はDMAチャンネル17に予め設定されていた外部デバイス9のアドレスに基づいて、外部バス21、バスインタフェース22及びデータバス19を介して外部デバイス9からデータを読み取り、そのデータを、予め指定されていたメモリ8のアドレスに対応する領域に書き込む。また他の例として周辺回路3からメモリ8へデータを転送する。

【0009】ここで周辺回路3がシリアル入力回路であるとする。ポート7からシリアルにデータがシリアル入力回路3に伝達されると、シリアル入力回路3はシリアルデータを例えば8ビット単位のパラレルデータに変換する。データの変換が終了すると、DMAコントローラ15にデータ転送要求信号を伝達する。DMAチャンネル18にデータ転送要求が伝えられると、それに予め格納されているシリアル入力回路3のアドレスに基づいて、周辺回路3のデータをデータバス19を介して読み取り、そのデータを予め設定されているメモリ8のアドレスに対応する領域に書き込む。割り込みコントローラ10は周辺回路2、3からの割り込み要求以外に、外部デバイス23からの割り込み要求をポート4を介して受け取ることができる。外部デバイスとしては例えば、外部のDMAコントローラ23を使用する場合、そのDMAコントローラ23の割り込み要求信号をポート4に伝達する。そして、DMAコントローラ10がデータの転送を行い、データの転送を終了して、次のデータの転送のためのCPU 1による設定を必要とする場合、割り込み要求信号のレベルを“H”から“L”に変更すると、ポート4を介して割り込みコントローラ10の割り込みチャンネル12に割り込み要求が伝達される。そこで、割り込みコントローラ10は複数の割り込みチャンネル11、12、13の状態を監視し、所定の優先順位に従って、割り込み要求信号をCPU 1に伝達する。

【0010】そうすると、CPU 1はいままでのデータ処理を中断し、割り込みコントローラ10から割り込み開始アドレス又は割り込みベクタを、データバス19を介して読み取り、割り込み開始アドレス又は割り込みベクタに基づいて割り込み処理のための命令をメモリ8又は外部デバイス9から順次読み取り、割り込み処理を行う。そして割り込み処理が終了すると、中断していたデータ処理を継続する。

【0011】

【発明が解決しようとする課題】このようなマイクロコントローラを所定の目的に使用する場合、それに内蔵している全ての周辺回路を使用するとは限らない。そのため、前述したように従来のマイクロコントローラでは、使用しない周辺回路に対応しているポートを汎用ポートとして使用できるように工夫している。ところが、最近

は外部デバイス用の割り込みポート及びDMA 要求ポートの数を更に多くして欲しいというユーザの要求があるが、ワンチップパッケージに設け得る信号用のピンの数はワンチップパッケージのサイズで制約されるから、割り込みポート及びDMA 要求ポートの数が制限されて、種々のユーザの要求を満たし得るマイクロコントローラを提供することが難しいという問題がある。本発明は斯かる問題に鑑み、セレクトを切換動作させることにより種々のユーザの要求に対処できるマイクロコントローラを提供することを目的とする。

【0012】

【課題を解決するための手段】第1発明に係るマイクロコントローラは、外部デバイスから信号が伝達される第1ポートと、この第1ポートの信号により動作する第1回路と、前記第1ポート及び前記第1回路からの信号を択一的に選択すべく切換動作するセレクトと、セレクトが選択した信号を伝達すべき割り込みコントローラと、セレクトを切換動作させるデータを格納する切換レジスタと、セレクトが選択した信号により割り込み処理をするCPU とを備える。

【0013】第1発明では、切換レジスタの切換データを第1状態にするとセレクトが第1回路からの信号を選択し、選択した信号は割り込みコントローラに伝達されて、第1回路からの信号によりCPU が割り込み処理を行う。切換データを第2状態にするとセレクトが第1ポートからの信号を選択し、選択した信号は割り込みコントローラに伝達されて、ポートからの信号によりCPU が割り込み処理を行う。これにより、第1回路を使用しない場合は、外部デバイスにより割り込み処理が行えポートを有効利用できる。

【0014】第2発明に係るマイクロコントローラは、割り込みコントローラをDMA コントローラに置き換える。

【0015】第2発明では、切換レジスタの切換データを第1状態にすると、セレクトが第1回路からの信号を選択し、選択した信号はDMA コントローラに伝達されて、第1回路からの信号によりCPU がDMA 処理を行う。切換データを第2状態にすると、セレクトが第1ポートからの信号を選択し、選択した信号はDMA コントローラに伝達されて、第1ポートからの信号によりCPU がDMA 処理を行う。これにより、第1回路を使用しない場合は、外部デバイスによりDMA 処理が行え、ポートを有効利用できる。

【0016】第3発明に係るマイクロコントローラは、切換レジスタに代えて、周辺回路の動作を許可する許可ビットのデータを格納する記憶部を用いる。

【0017】第3発明では、動作許可ビットを第1状態にすると、セレクトが第1回路からの信号を選択し、第1回路からの信号によりCPU が割り込み処理を行う。動作許可ビットを第2状態にすると、セレクトが第1ポ

ートからの信号を選択し、第1ポートからの信号によりCPU が割り込み処理を行う。これにより、第1回路を使用しない場合は、外部デバイスにより割り込み処理が行え、第1ポートを有効利用できる。

【0018】第4発明に係るマイクロコントローラは、第1ポート以外の第2ポートと、割り込みコントローラに代えて、割り込み順を判別すべき割り込みレベルデータを格納するレベルレジスタとを備える。

【0019】第4発明では、レベルレジスタの割り込みレベルデータを選択すると、選択した割り込みレベルデータによりCPU が割り込み処理を行う。第2ポートの信号を選択すると、第2ポートの信号によりCPU が割り込み処理を行う。これにより、第1ポート及び第2ポートから信号が伝達される第1回路を使用しない場合は、第2ポートに信号を伝達する外部デバイスにより割り込み処理が行え、第2ポートの有効利用が図れる。

【0020】第5発明に係るマイクロコントローラは、第1ポート以外の第2ポートと、割り込みコントローラに代えて、割り込みベクタのデータを格納するベクタレジスタとを備える。

【0021】第5発明では、第2ポートの信号を選択すると、第2ポートの信号によりCPUが割り込み処理を行う。ベクタレジスタの割り込みベクタのデータを選択すると、選択したデータによる割り込み開始番地からCPU が割り込み処理を行う。これにより、第2ポートから信号が伝達される第1回路を使用しない場合は第2ポートに信号を伝達する外部デバイスにより割り込み処理が行え、第2ポートの有効利用が図れる。

【0022】第6発明に係るマイクロコントローラは、レベルレジスタに代えてDMA 順を判別すべきDMA レベルデータを格納するDMA レベルレジスタを備える。

【0023】第6発明では、第2ポートの信号を選択すると、第2ポートの信号によりCPUがDMA 処理を行う。DMA レベルレジスタのDMA レベルデータを選択すると、選択したデータに対応した優先順でCPU がDMA 処理を行う。これにより、第2ポートから信号が伝達される第1回路を使用しない場合は、第2ポートに信号を伝達する外部デバイスによりDMA 処理が行え、第2ポートの有効利用が図れる。

【0024】第7発明に係るマイクロコントローラは、割り込みコントローラに代えてDMAコントローラを備える。

【0025】第7発明では、割り込み処理に代えてDMA 処理が行える。これにより、外部デバイスからDMA 要求信号が伝達されるポートの有効利用が図れる。

【0026】第8発明に係るマイクロコントローラは、第1切換レジスタに代えて、第1回路の動作を許可すべき動作許可ビットを格納する記憶部を用いる。

【0027】第8発明では、動作許可ビットを第1状態にすると、第1回路が動作し、第1回路からの信号によ

りCPU が割り込み処理を行う。動作許可ビットを第2状態にすると、ポートの信号を選択してCPU が割り込み処理を行う。これにより、第1回路を使用しない場合は、外部デバイスにより割り込み処理が行え、ポートを有効利用できる。

【0028】第9発明に係るマイクロコントローラは、外部デバイスからの信号が伝達される第1ポートと、該第1ポートから伝達される信号により動作する第1回路と、割り込み要求データを格納する割り込みレジスタと、前記第1ポート及び前記第1回路からの信号を択一的に選択すべく切換動作する第4セレクトと、該第4セレクトが選択した信号を伝達すべき割り込みコントローラと、前記第4セレクトを切換動作させるデータを格納する第4切換レジスタと、第4セレクトが選択した信号により割り込み処理を行うCPU とを備える。

【0029】第9発明では、切換レジスタの切換データを第1状態にすると、第4セレクトが第1回路からの信号を選択し、選択した信号が割り込みコントローラに伝達されて、第1回路からの信号により割り込み処理を行う。第4切換レジスタの切換データを第2状態にすると、第4セレクトが割り込みレジスタの割り込みデータを選択し、選択した割り込みデータの信号が割り込みコントローラに伝達されて、割り込みレジスタの割り込みデータによりCPU は割り込み処理を行う。これにより、第1回路を使用しない場合はポートを他の目的に使用して有効利用が図れる。

【0030】第10発明に係るマイクロコントローラは、割り込みレジスタに代えて、データレジスタを備え、該データレジスタを第1ポートに備える。

【0031】第10発明では、第1ポートに備えたデータレジスタのデータにより第1回路が動作する。第1回路を使用しない場合は、データレジスタのデータによりCPU が割り込み処理を行う。これにより、第1回路を使用しない場合は、第1ポートの信号により割り込み処理が行え、ポートの有効利用が図れる。

【0032】第11発明に係るマイクロコントローラは、割り込みレジスタに代えて、第1回路を動作させるデータを格納する回路制御レジスタを備える。

【0033】第11発明では、回路制御レジスタのデータにより第1回路が動作する。回路制御レジスタのデータを選択すると、CPU が割り込み処理を行う。これにより、第1回路を使用しない場合は、回路制御レジスタのデータによりCPU が割り込み処理を行うことができ、ポートを有効利用できる。

【0034】第12発明に係るマイクロコントローラは、外部デバイスからの信号が伝達される第1ポート及び第2ポートと、前記第1ポートから伝達される信号により動作する第1回路と、前記第2ポートから伝達される信号により動作する第2回路と、第1回路からの信号及び第2ポートからの信号を択一的に選択すべく切換動作す

る第5セレクトと、該第5セレクトが選択した信号を伝達すべき割り込みコントローラと、前記第5セレクトを切換動作させるデータを格納する第5切換レジスタと、第5セレクトが選択した信号により割り込み処理をするCPU とを備える。

【0035】第12発明では、第1ポートの信号により第1回路が動作し、第2ポートの信号により第2回路が動作する。第5切換レジスタの切換データを第1状態にすると、第5セレクトが第1回路の信号を選択し、その信号が割り込みコントローラに伝達されて第1回路の信号により、CPU が割り込み処理を行う。第5切換レジスタの切換データを第2状態にすると、第5セレクトが第2ポートの信号を選択し、その信号が割り込みコントローラに伝達されて第2ポートの信号によりCPU が割り込み処理を行う。これにより、第2回路を使用しない場合は、第2ポートの信号によりCPU が割り込み処理を行い、第2ポートの有効利用が図れる。

【0036】第13発明に係るマイクロコントローラは、割り込みコントローラに代えて、DMA コントローラを備える。

【0037】第13発明では、割り込み処理に代えて、DMA 処理ができる。これにより、外部デバイスからDMA 要求信号が伝達されるポートの有効利用が図れる。

【0038】

【発明の実施の形態】以下本発明を、発明の実施の形態を示す図面により詳述する。

〔実施の形態1〕図1は本発明に係るマイクロコントローラの実施の形態1の構成を外部デバイスとともに示したブロック図である。マイクロコントローラ20には、データ処理及び割り込み処理を行うCPU 1と、カウンタの機能を有する周辺回路2と、周辺回路2以外の図示しない複数の周辺回路から割り込み要求信号を受けてCPU 1に割り込みの発生を伝える割り込みコントローラ10と、データバス19とが内蔵される。周辺回路2には、カウンタ101と、切換えデータが格納される1ビットの切換レジスタ102と、セレクト103とを備える。割り込みコントローラ10には、割り込みチャンネル11、割り込みチャンネル12及び割り込みチャンネル13を備える。またマイクロコントローラ20は外部デバイス201からの信号が伝達されるポート5を備える。

【0039】CPU 1、周辺回路2、切換レジスタ102及び割り込みコントローラ10は、データバス19を介して接続される。ポート5の信号はカウンタ101及びセレクト103の一端子へ伝達される。カウンタ101が所定値をカウントしたとき出力する割り込み要求信号はセレクト103の他端子へ伝達される。割り込みレジスタ102が格納している割り込みデータはセレクト103へ伝達される。セレクト103が選択した信号は割り込みチャンネル13へ伝達される。割り込みコントローラ10が出力する割り込み要求信号はCPU 1へ伝達される。

【0040】次にこのように構成したマイクロコントローラ20の動作を説明する。CPU 1により切換レジスタ102の切換データを第1状態、例えば“L”にした場合、セクタ103は周辺回路2のカウンタ101からの割り込み要求信号を選択する。選択した割り込み要求信号は割り込みチャネル13へ伝達される。それにより割り込みコントローラ10からCPU 1へ割り込み要求信号が伝達されて、CPU 1はいままでのデータ処理を中断して、データバス19を介して割り込みコントローラ10から、割り込み処理の開始アドレス、又は割り込み処理の開始番地を示す割り込みベクタを読み取り、その開始アドレス又は割り込みベクタに基づいて割り込み処理のための命令を、例えば図示していないメモリから読み取って割り込み処理を行う。割り込み処理が終了すると、中断していたデータ処理を継続する。また割り込みコントローラ10は、周辺回路2からの割り込み要求信号以外に、他の図示しない周辺回路からの割り込み要求が割り込みチャネル11又は12に伝達された場合も前述したと同様に、CPU 1はいままでのデータ処理を中断して割り込み処理を行う。

【0041】ところで、CPU 1によりセクタ切換レジスタ102の切換データを第2状態、例えば“H”にした場合には、セクタ103はポート5の信号を選択する。選択された、その信号は直接に割り込みチャネル13へ伝達される。それにより、前述したと同様にCPU 1はいままでのデータ処理を中断して、割り込み処理を行う。そのため、周辺回路2を使用しない場合は、カウンタ101に対応させている割り込みチャネル13及びポート5を、外部デバイス201から割り込み要求をするために流用することができる。

【0042】そこで、マイクロコントローラ20をカウンタ101を使用しない用途に適用する場合は、外部デバイスからの信号を、ポート5へ伝達するように使用する。そして、マイクロコントローラ20のユーザはプログラムにより、切換レジスタ102の切換データを第2状態に固定し、また使用しないカウンタ101が信号を取り込まないようにしておく。それにより、通常であれば、セクタ103はカウンタ101からの割り込み要求信号を、カウンタ101に対応する割り込みチャネル13に伝達するが、割り込みレジスタ102のデータが第2状態に固定しているので、ポート5の信号を直接に割り込みコントローラ10の割り込みチャネル13に伝達する。外部デバイス201が信号を伝達し、伝達を終了して、次の信号伝達のためのCPU 1による動作条件の設定等を必要とする場合、割り込み要求信号のレベルを“H”から“L”に変更すると、ポート5及びセクタ103を介して割り込みコントローラ10の割り込みチャネル13に割り込み要求信号が伝達される。

【0043】そこで割り込みコントローラ10は複数の割り込みチャネル11, 12, 13の状態を監視し、所定の優先順位にしたがって割り込み要求をCPU 1に伝達する。そう

すると、CPU 1はいままでのデータ処理を中断して、割り込みコントローラ10から割り込み処理の開始アドレス又は割り込みベクタをデータバス19を介して読み取り、そのアドレスに基づいて割り込み処理のための命令を図示しないメモリから読み取り割り込み処理を行う。割り込み処理が終了すると、中断していたデータ処理を継続する。つまり、割り込みレジスタ102のデータが第2状態にある場合、ポート5及び割り込みチャネル13は図10に示す従来のマイクロコントローラにおけるポート4及び割り込みチャネル12と同様の機能をするようになる。このようにして、割り込みコントローラ10の割り込みチャネル13及びポート5を、外部デバイスによる割り込み要求のために流用でき、割り込みチャネル13及びポート5の有効利用が図れる。

【0044】〔実施の形態2〕図2は本発明に係るマイクロコントローラの実施の形態2の構成を外部デバイスとともに示したブロック図である。マイクロコントローラ20には、メモリ8及びDMAコントローラ15が内蔵される。DMAコントローラ15はDMAチャネル16、DMAチャネル17、DMAチャネル18を備える。メモリ8、DMAコントローラ15及びバスインタフェース22はデータバス19を介して接続される。セクタ103が選択した信号は、DMAチャネル18へ伝達される。外部デバイス9は外部バス21を介してバスインタフェース22と接続される。ポート7はシリアル入力回路202と接続される。それ以外の構成は、図1における割り込みコントローラ10を除いた他の構成と同様であり、同一構成部分には同一符号を付している。

【0045】次にこのように構成したマイクロコントローラの動作を説明する。CPU 1により切換レジスタ102の切換データを第1状態にした場合、セクタ103はカウンタ101が所定値をカウントしたときに出力するDMA要求信号を選択してDMAチャネル18へ伝達する。それによりDMAコントローラ15はデータの転送をCPU 1に代わって行う。例えば、外部デバイス9からメモリ8へデータを転送する場合、DMAチャネル18にデータ転送要求が伝達されると、DMAコントローラ15は、予め指定されていた外部デバイス9のアドレスにより、外部バス21、バスインタフェース22及びデータバス19を介して外部デバイス9からデータを読み取り、予め指定されているメモリ8のアドレスに対応する領域に、読み取ったデータを書き込む。なお、DMAチャネル16, 17にDMA要求が伝達された場合も前述したと同様にデータを転送する。

【0046】一方、切換レジスタ102の切換データを第2状態にした場合、セクタ103はポート7の信号を選択する。選択したその信号は直接にDMAチャネル18へ伝達される。そうすると、DMAコントローラ15は例えば外部デバイス9からメモリ8へデータを転送する場合、予め指定されていた外部デバイス9のアドレスにより外部バス21、バスインタフェース22及びデータバス19を介し

て外部デバイス9からデータを読み取り、予め指定されているメモリ8のアドレスに対応する領域に、読み取ったデータを書き込む。なお、カウンタ101を使用しない場合は、プログラムによりカウンタ101が信号を取り込まないようにする。このようにして、DMAコントローラ15のDMAチャンネル18及びポート7を外部デバイスによるデータ転送要求のために流用することができる。

【0047】そこで、マイクロコントローラ20をカウンタ101を使用しない用途に使用する場合は、外部デバイスとしてDMAを要求するデバイスに例えばシリアル入力回路202を使用して、シリアル入力回路202からのDMA要求信号をポート7へ伝達するようにする。そして、マイクロコントローラのユーザはプログラムにより切換レジスタ102の切換データを第2状態に固定し、また使用しないカウンタ101が信号を取り込まないようにする。それにより、通常であればセクタ103はカウンタ101からのDMA要求信号をDMAチャンネル18に伝達するが、切換レジスタ105の切換データを第2状態にしてあるので、ポート7の信号が直接にDMAチャンネル18に伝達される。そしてシリアル入力回路202がデータを受信し、受信を終了してDMAコントローラ15により受信したデータをメモリ8に転送する場合は、DMA要求信号のレベルを“H”から“L”に変更すると、ポート7及びセクタ103を介してDMAチャンネル18にDMA要求が伝達される。DMAコントローラ15は、複数のDMAチャンネル16,17,18の状態を監視し、所定の優先順位にしたがって予め指定された転送先へデータの転送を行う。

【0048】つまり、切換レジスタ102の切換データを第2状態にした場合は、ポート7及びDMAチャンネル18は図10に示す従来のマイクロコントローラにおけるポート6及びDMAチャンネル17と同様の機能をするようになる。このようにして、DMAコントローラ15のDMAチャンネル18及びポート7を外部デバイスによるDMA要求のために流用でき、DMA要求チャンネル18及びポート7の有効利用が図れる。

【0049】〔実施の形態3〕図3は本発明に係るマイクロコントローラの実施の形態3の構成を示すブロック図である。周辺回路2のカウンタ101に周辺回路の使用を許可するデータの記憶部たる、動作許可ビット107を備える。この動作許可ビット107はデータバス19と接続される。動作許可ビット107のデータは切換データとしてセクタ103へ伝達され、またカウンタ101に伝達される。それ以外の構成は、図1における切換レジスタ102を除いた他の構成と同様であり、同一構成部分には同一符号を付している。

【0050】次にこのように構成したマイクロコントローラの動作を説明する。CPU1により動作許可ビット107のデータを第1状態にした場合、カウンタ101は動作許可状態になり、カウンタ101が動作する。セクタ103はカウンタ101からの割り込み要求信号を選択する。

選択した割り込み要求信号は割り込みコントローラ10の割り込みチャンネル13に伝達される。そして、割り込みコントローラ10から割り込み要求をCPU1に伝達する。そうするとCPU1は、いままでのデータ処理を中断して、データバス19を介して割り込みコントローラ10から割り込み処理の開始アドレス又は割り込みベクタを読み取り、読み取った開始アドレス又は割り込みベクタに基づいて割り込み処理のための命令を図示しないメモリから読み取って割り込み処理を行う。割り込み処理が終了すると、中断していたデータ処理を継続する。また、割り込みコントローラ10は周辺回路2から割り込み要求以外に、他の図示しない周辺回路からの割り込み要求が割り込みチャンネル11又は12に伝達された場合も、CPU1は前述したと同様の割り込み処理を行う。

【0051】ところで、CPU1により動作許可ビット107のデータを第2状態にした場合、カウンタ101は動作不許可状態になりカウンタ101は不動作になる。またセクタ103はポート5の信号を選択する。それにより選択した信号は直接に割り込みチャンネル13に伝達される。それにより、前述したと同様にCPU1は、いままでのデータ処理を中断して、割り込み処理を行う。そのため周辺回路2を使用しない場合は、割り込みチャンネル13及びポート5を外部デバイスから割り込み要求をするために流用することができる。このようにして周辺回路に備えている動作許可ビットを、セクタの切換ビットとして用いることにより、より少ないハードウェア量で、割り込みチャンネルを外部デバイスによる割り込み要求のために流用でき、割り込みチャンネル13及びポート5の有効利用が図れる。

【0052】〔実施の形態4〕図4は本発明に係るマイクロコントローラの実施の形態4の構成を示すブロック図である。周辺回路2に割り込み要求のデータを設定できる1ビットの割り込み要求レジスタ108を備える。この割り込み要求レジスタ108はデータバス19と接続される。割り込み要求レジスタ108のデータはセクタ103の一端子に伝達される。それ以外の構成は図1における構成と同様であり、同一構成部分には同一符号を付している。

【0053】次にこのように構成したマイクロコントローラの動作を説明する。CPU1により、割り込み要求レジスタ102のデータを第1状態にした場合、セクタ103はカウンタ101からの割り込み要求信号を選択する。選択した割り込み要求信号は割り込みチャンネル13に伝達される。それにより前述したと同様にCPU1がいままでのデータ処理を中断して割り込み処理を行う。また割り込み要求レジスタ102のデータを第2状態にした場合、セクタ103は割り込み要求レジスタ108のデータを直接に割り込みチャンネル13に伝達する。それにより前述したと同様、CPU1はいままでのデータ処理を中断して割り込み処理を行う。このようにカウンタ101を使

用しない場合は、割り込みチャンネル13をプログラムにより指令する割り込み要求のために流用できる。このようにして割り込み要求レジスタを設けることにより、割り込みコントローラの割り込みチャンネルを、プログラムに基づく割り込み要求のために流用でき、割り込みチャンネルの有効利用が図れる。

【0054】〔実施の形態5〕図5は本発明に係るマイクロコントローラの実施の形態5の構成を示すブロック図である。ポート5には、1ビットのデータレジスタ109が備えられる。ポート5はデータバス19と接続される。データレジスタ109のデータはカウンタ101及びセクタ103の一端子に伝達される。それ以外の構成は図1の構成と同様であり、同一構成部分には同一符号を付している。

【0055】次にこのように構成したマイクロコントローラの動作を説明する。CPU 1により切換レジスタ102のデータを第1状態にした場合、セクタ103はカウンタ101のカウンタ信号を選択する。選択したその割り込み要求信号は割り込みチャンネル13に伝達される。それにより割り込み要求信号がCPU 1に伝達されて、CPU 1は前述したと同様に割り込み処理を行う。また、切換レジスタ102のデータを第2状態にした場合、セクタ103はポート5のデータレジスタ109のデータを選択する。選択したそのデータは割り込みチャンネル13に伝達される。それにより割り込み要求信号がCPU 1に伝達されて、CPU 1は前述したと同様に割り込み処理を行う。このようにカウンタ101を使用しない場合は、割り込みチャンネル13をプログラムにより指令する割り込み要求のために流用できる。このようにして、ポートに備えるデータレジスタに割り込み要求のデータを設定することにより、少ないハードウェア量で割り込みコントローラの割り込みチャンネルの有効利用を図ることができる。

【0056】〔実施の形態6〕図6は本発明に係るマイクロコントローラの実施の形態6の構成を示すブロック図である。周辺回路2のカウンタ101に動作許可ビット107と、周辺回路を制御するデータが設定される1ビットの周辺回路制御レジスタ110とを備える。動作許可ビット107及び周辺回路制御レジスタ110はデータバス19と接続される。周辺回路制御レジスタ110のデータは、カウンタ101及びセクタ103の一端子に伝達される。それ以外の構成は図1の構成と同様であり、同一構成部分には同一符号を付している。

【0057】次にこのように構成したマイクロコントローラの動作を説明する。CPU 1により切換レジスタ102のデータを第1状態にした場合、セクタ103はカウンタ101のカウンタ信号を選択する。選択したカウンタ信号は割り込みチャンネル13に伝達される。それにより割り込み信号がCPU 1に伝達されて、CPU 1は前述したと同様にカウンタ101からの割り込み要求信号により割り込み処理を行う。また、CPU 1により切換レジスタ102の

データを第2状態にした場合、セクタ103は、周辺回路制御レジスタ110のデータを選択する。そして選択したデータは直接に割り込みチャンネル13に伝達される。それにより割り込み要求信号がCPU 1に伝達されて、CPU 1は前述したと同様に割り込み処理を行う。セクタ103が周辺回路制御レジスタ110のデータを選択する場合は、動作許可ビット107のデータを第2状態にしてカウンタ101を動作不許可状態にする。このようにカウンタ101を使用しない場合は、割り込みチャンネル13をプログラムにより指令する割り込み要求のために流用できる。このようにして、周辺回路に備える周辺回路制御レジスタに割り込み要求のデータを設定することにより、少ないハードウェア量で割り込みチャンネルの有効利用を図ることができる。

【0058】〔実施の形態7〕図7は本発明に係るマイクロコントローラの実施の形態7の構成を示すブロック図である。マイクロコントローラ20にはカウンタ101を備える周辺回路3が内蔵され、ポート7が備えられる。カウンタ101及びカウンタ101'はデータバス19と接続される。ポート7の信号はカウンタ101'及びセクタ103の一端子へ伝達される。ポート5の信号はカウンタ101へ伝達される。それ以外の構成は図1の構成と同様となっており、同一構成部分には同一符号を付している。

【0059】次にこのように構成したマイクロコントローラの動作を説明する。CPU 1により、切換レジスタ102のデータが第1状態にある場合、セクタ103はカウンタ101からの割り込み要求信号を選択する。選択した割り込み要求信号は割り込みチャンネル13に伝達されて、CPU 1に割り込み要求信号が伝達され、前述したと同様にCPU 1は割り込み処理を行う。また、切換レジスタ102のデータを第2状態にした場合、セクタ103はポート7の信号を選択する。選択した信号は直接に割り込みチャンネル13に伝達されて、CPU 1に割り込み要求信号が伝達され、前述したと同様にCPU 1は割り込み処理を行う。これにより、割り込みチャンネル13及びポート7を外部デバイスによる割り込み要求のために流用できる。つまり、特定の周辺回路2のカウンタ101は使用するが、カウンタ101からの要求信号が伝達される割り込みチャンネル13を使用せず、しかも他の周辺回路3のカウンタ101'信号を伝達するポート7も使用しない用途にマイクロコントローラを使用する場合は、外部デバイスによりポート7及び割り込みチャンネル13の流用が可能になる。このようにして、使用しないポート及び割り込みチャンネルを組合せて割り込みチャンネルの有効利用が図れる。

【0060】〔実施の形態8〕図8は本発明に係るマイクロコントローラの実施の形態8の構成を示すブロック図である。マイクロコントローラ20にはCPU 1、割り込みコントローラ10及び周辺回路2が内蔵され、ポート5

及びポート114が備えられる。CPU 1、周辺回路2及び割り込みコントローラ10はデータバス19を介して接続される。割り込みコントローラ10には割り込みチャンネル12、割り込みチャンネル13及び優先順位判別回路120を備える。割り込みチャンネル13には、切換データが格納される切換レジスタ111、割り込み要求順を判別する割り込み要求信号レベルのデータが格納されるレベルレジスタ112とセレクト113とが備えられる。切換レジスタ111及びレベルレジスタ112はデータバス19と接続される。

【0061】切換レジスタ111の切換データはセレクト113に伝達される。レベルレジスタ112のデータはセレクト113の一端子に伝達される。セレクト113が選択した信号は優先順位判別回路120に伝達される。割り込みチャンネル12は割り込みチャンネル13と同様に構成されており、割り込みチャンネル13には、図示していない周辺回路からの割り込み要求信号が伝達され、割り込みチャンネル12から出力される信号は優先順位判別回路120に伝達される。割り込みコントローラ10が出力する割り込み要求信号はCPU 1に伝達される。周辺回路2には、アップダウンカウンタ1010、切換レジスタ102及びセレクト103が備えられる。

【0062】切換レジスタ102及びアップダウンカウンタ1010はデータバス19と接続される。切換レジスタ102のデータはセレクト103に伝達される。ポート5の信号はアップダウンカウンタ1010及びセレクト103の一端子に伝達される。アップダウンカウンタ1010からの割り込み要求信号はセレクト103の他端子に伝達され、セレクト103が選択した信号は優先順位判別回路120に伝達される。ポート114の信号はアップダウンカウンタ1010のアップカウンタ端子及びセレクト113の他端子に伝達される。アップダウンカウンタ1010は所定値をカウントしたときに割り込み要求信号を出力するようになっている。

【0063】次にこのように構成したマイクロコントローラの動作を説明する。CPU 1により切換レジスタ102のデータを第1状態にした場合、セレクト103はアップダウンカウンタ1010からの割り込み要求信号を選択する。選択した割り込み要求信号が優先順位判別回路120に伝達され、同様に他の周辺回路からの割り込み要求信号も優先順位判別回路120に伝達される。優先順位判別回路120はそれに伝達された割り込み要求信号の優先順を判別し優先順に対応した割り込み要求信号によってCPU 1に割り込み要求信号を伝達する。それにより前述したと同様にCPU 1が割り込み処理を行う。また切換レジスタ102の切換データを第2状態にした場合は、セレクト103がポート5の信号を選択する。その信号が優先順位判別回路120に伝達されて、優先順に対応したとき、CPU 1に割り込み要求信号を伝達して、前述したと同様にCPU 1が割り込み処理を行う。

【0064】CPU 1により切換レジスタ111のデータを第1状態にした場合、セレクト113はレベルレジスタ112

のデータを選択する。選択したデータは優先順位判別回路120に伝達されて、優先順が判別され、優先順に対応したとき、CPU 1に割り込み要求信号を伝達して、CPU 1は前述したと同様に割り込み処理を行う。また切換レジスタ111のデータを第2状態にした場合、セレクト113はポート114の信号を選択する。選択した信号は優先順位判別回路120に伝達されて優先順に対応したとき、CPU 1に割り込み信号を伝達する。それによりCPU 1は前述したと同様に割り込み処理を行う。つまり、ポート114の信号のレベルを割り込み要求信号のレベルとして用いる。これにより、外部から直接、リアルタイムに割り込み要求信号のレベルを制御できる。

【0065】なお、割り込み要求信号のレベルが複数のビットで構成される場合、複数のポートを流用してもよく、一部のビットのみをポートで制御する等の組合せをしてもよい。また、通常の外部割り込み端子を、ポート114と同様に割り込み要求信号のレベル制御用として使用することができる。このようにして、周辺回路に対応している割り込みチャンネル及びポートを外部デバイスによる割り込み要求に流用することができ、割り込みチャンネル及びポートの有効利用を図ることができる。また余分のポートを用いて割り込み要求レベルをリアルタイムに制御することができる。

【0066】〔実施の形態9〕図9は本発明に係るマイクロコントローラの実施の形態9の構成を示すブロック図である。割り込みコントローラ10の割り込みチャンネル13には、切換レジスタ111、割り込み開始番地を指定する割り込みベクタのデータを格納するベクタレジスタ116及びセレクト117が備えられる。またマイクロコントローラ20にはポート118が備えられる。切換レジスタ111、ベクタレジスタ116はデータバス19と接続される。切換レジスタ111の切換データはセレクト117に伝達される。ベクタレジスタ116の割り込みベクタデータはセレクト117の一端子へ伝達される。

【0067】ポート118の信号は、セレクト117の他端子及びアップダウンカウンタ1010のアップカウンタ端子に伝達される。セレクト117は切換レジスタ111の切換データに応じて、ベクタレジスタ116の割り込みベクタデータ又はポート118の信号を選択するようになっている。それ以外の構成は図8における割り込みコントローラ10及びポート114を除いた他の構成と同様となっており、同一構成部分には同一符号を付している。

【0068】次にこのように構成したマイクロコントローラの動作を説明する。CPU 1により切換レジスタ102の切換データを第1状態にすると、セレクト103はアップダウンカウンタ1010からの割り込み要求信号を選択する。選択した割り込み要求信号は割り込みチャンネル13に伝達され、割り込みコントローラ10がCPU 1に割り込み要求信号を伝達する。それによりCPU 1は周辺回路2からの割り込み要求信号により前述したと同様に割り込み処

理を行う。またCPU 1により切換レジスタ102の切換データを第2状態にすると、セレクト103がポート5の信号を選択する。選択した信号は割り込みチャンネル13に伝達され、割り込みコントローラ10がCPU 1に割り込み要求信号を伝達する。そうすると、CPU 1は外部デバイスからポート5に伝達された割り込み要求信号により前述したと同様に割り込み処理を行う。

【0069】CPU 1により割り込みコントローラ10における切換レジスタ111の切換データを第1状態にすると、セレクト117はベクタレジスタ116の割り込みベクタデータを選択する。選択した割り込みベクタの信号がCPU 1へ伝達され、CPU 1は割り込みベクタで指定される割り込み開始番地から、前述したと同様に割り込み処理を行う。周辺回路2を使用しない場合は、CPU 1により切換レジスタ111の切換データを第2状態に固定するとともに、アップダウンカウンタ1010が信号を取り込まないようにする。切換レジスタ111の切換データを第2状態にした場合、セレクト117はポート118の信号のレベルを割り込みベクタとして選択する。選択した割り込みベクタの信号をCPU 1に伝達する。それによりCPU 1は、外部デバイスから伝達されるポート118の割り込みベクタで指定される割り込み開始番地から前述したと同様に割り込み処理を行う。これにより外部デバイスから直接にリアルタイムに割り込みベクタを制御できる。

【0070】なお、割り込みベクタが複数ビットで構成される場合、複数のポートを流用してもよく、一部のビットのみをポートで制御する等の組合せで対応が可能である。また、実施の形態9では割り込みチャンネル13に割り込みベクタレジスタ116を備えたが、割り込みチャンネル毎に固定の割り込みベクタのデータとして、その一部又は全部をポート側から制御するようにしてもよい。このようにして、周辺回路を使用しない場合は、その周辺回路から割り込み要求信号が伝達される割り込みチャンネル及び、その周辺回路に信号を伝達するポートを、外部デバイスによる割り込み要求に流用することができ、割り込みチャンネル及びポートの有効利用が図れる。

【0071】実施の形態9では、外部デバイスから信号が伝達される通常の外部割り込み端子をポート118と同様に割り込みベクタを伝達する目的に使用することができる。なお、実施の形態3乃至実施の形態9においては、割り込みコントローラを内蔵した場合について説明したが、実施の形態4乃至実施の形態7については図10乃至図13に示す実施の形態10乃至実施の形態13のように割り込みコントローラに代えてDMAコントローラ及びDMAチャンネルを備えることによりDMA要求をする場合においてもDMAチャンネル及びポートの有効利用を図ることができる。また実施の形態8についても図14に示す実施の形態14のように割り込みコントローラに代えて、DMAコントローラを備えることにより割り込み要求のレベルレジスタによる場合と同様の効果が得られる。

【0072】実施の形態8におけるレベルレジスタ112に代えて、図15に示す実施の形態15のようにDMAベクタデータを格納するDMAベクタレジスタを備えても、割り込み要求をする場合と同様に、DMAチャンネル及びポートを有効利用することができる。実施の形態9における割り込みコントローラ10に代えて、図16に示す実施の形態16のようにDMAコントローラを備えても割り込み要求をする場合と同様にDMAチャンネル及びポートを有効利用することができる。実施の形態8、9における切換レジスタ102に代えて、図17、図18に示す実施の形態17、18のように動作許可ビットを備えるようにしても、実施の形態8、9における場合と同様の効果が得られる。

【0073】また、セレクト103により選択された信号を、割り込みチャンネル13に伝達するようにしているが、これは例示であり、割り込みチャンネル13に限定するものではない。更に、切換データが第1状態のときにセレクトが周辺回路からの割り込み要求信号を選択するようにしたが、それは例示である。

【0074】

【発明の効果】以上詳述したように本発明によれば、第1回路を使用しない場合は、その第1回路からの信号が伝達されるチャンネル及び、当該第1回路に伝達すべき信号が外部デバイスから伝達されるポートを、第1回路に信号を伝達する以外の目的に流用でき、それらのチャンネル及びポートの有効利用が図れ、汎用性も高め得る。それにより、限られたポート数で種々のユーザの要求に対処できる汎用性が高いマイクロコントローラを提供できる優れた効果を奏する。

【図面の簡単な説明】

【図1】 本発明に係るマイクロコントローラの実施の形態1の構成を外部デバイスとともに示すブロック図である。

【図2】 本発明に係るマイクロコントローラの実施の形態2の構成を外部デバイスとともに示すブロック図である。

【図3】 本発明に係るマイクロコントローラの実施の形態3の構成を示すブロック図である。

【図4】 本発明に係るマイクロコントローラの実施の形態4の構成を示すブロック図である。

【図5】 本発明に係るマイクロコントローラの実施の形態5の構成を示すブロック図である。

【図6】 本発明に係るマイクロコントローラの実施の形態6の構成を示すブロック図である。

【図7】 本発明に係るマイクロコントローラの実施の形態7の構成を示すブロック図である。

【図8】 本発明に係るマイクロコントローラの実施の形態8の構成を示すブロック図である。

【図9】 本発明に係るマイクロコントローラの実施の形態9の構成を示すブロック図である。

【図10】 本発明に係るマイクロコントローラの実施

の形態10の構成を示すブロック図である。

【図11】 本発明に係るマイクロコントローラの実施の形態11の構成を示すブロック図である。

【図12】 本発明に係るマイクロコントローラの実施の形態12の構成を示すブロック図である。

【図13】 本発明に係るマイクロコントローラの実施の形態13の構成を示すブロック図である。

【図14】 本発明に係るマイクロコントローラの実施の形態14の構成を示すブロック図である。

【図15】 本発明に係るマイクロコントローラの実施の形態15の構成を示すブロック図である。

【図16】 本発明に係るマイクロコントローラの実施の形態16の構成を示すブロック図である。

【図17】 本発明に係るマイクロコントローラの実施の形態17の構成を示すブロック図である。

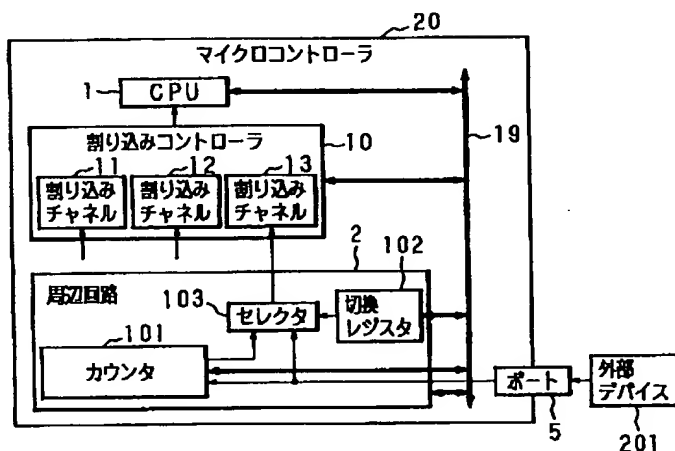
【図18】 本発明に係るマイクロコントローラの実施の形態18の構成を示すブロック図である。

【図19】 従来のマイクロコントローラの構成を外部デバイスとともに示すブロック図である。

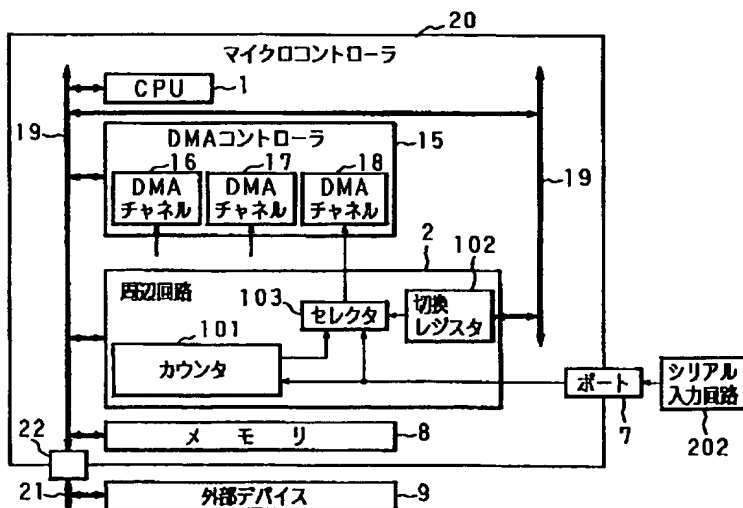
【符号の説明】

1 CPU、2 周辺回路、5 ポート、10 割り込みコントローラ、11,12,13 割り込みチャンネル、15 DMA コントローラ、16,17,18 DMA チャンネル、20 マイクロコントローラ、101,101' カウンタ、102 切換レジスタ、103 セレクタ、107 動作許可ビット、108 割り込み要求レジスタ、109 データレジスタ、110 周辺回路制御レジスタ、111 切換レジスタ、112 レベルレジスタ、113 セレクタ、116 ベクタレジスタ、117 セレクタ。

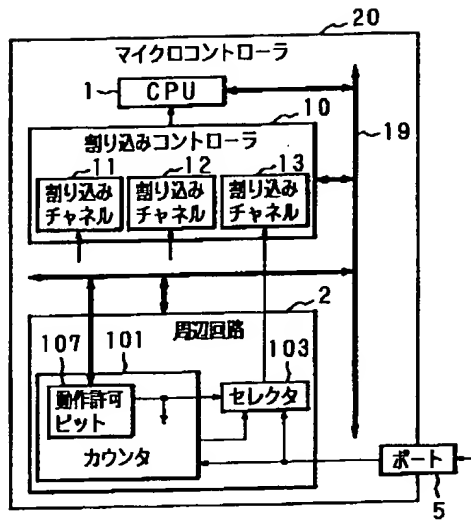
【図1】



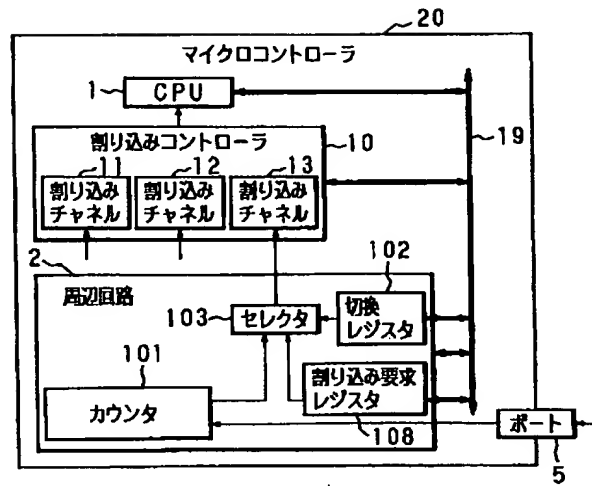
【図2】



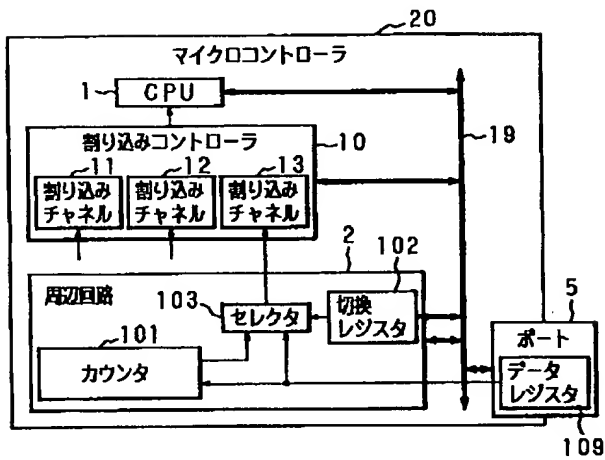
【図3】



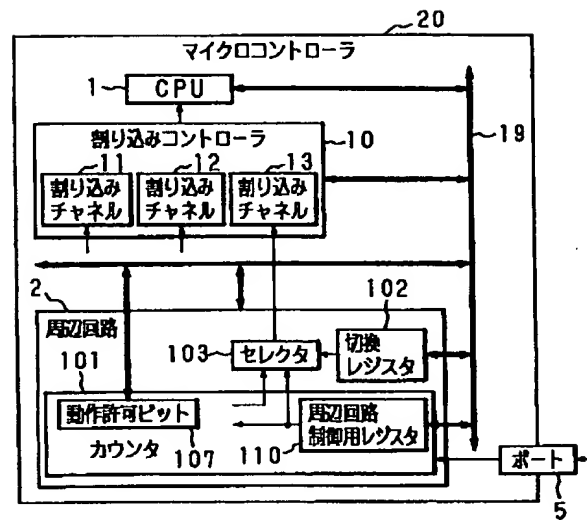
【図4】



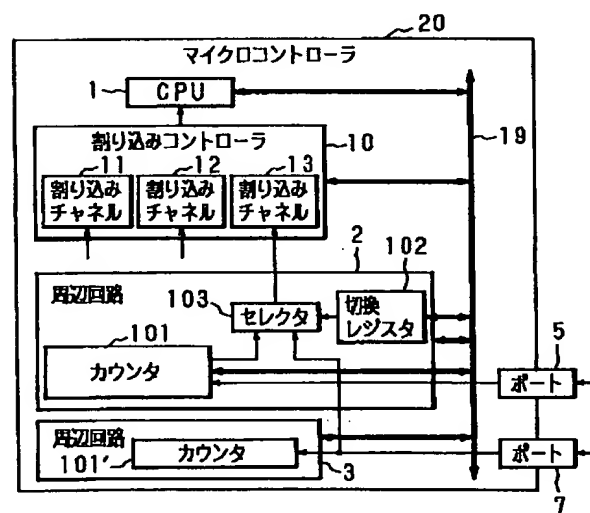
【図5】



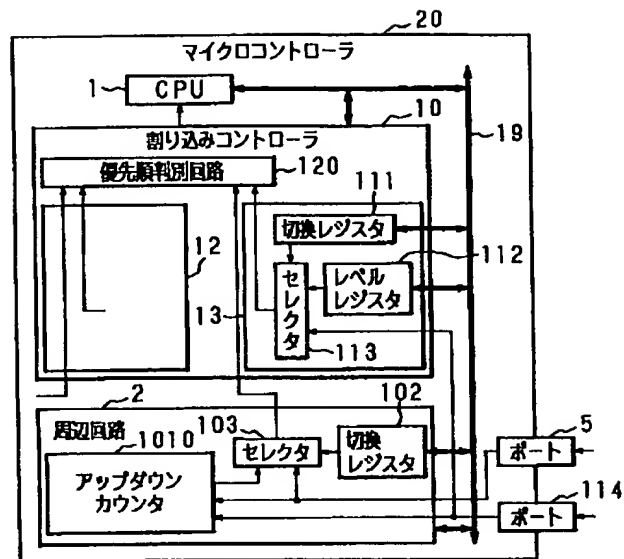
【図6】



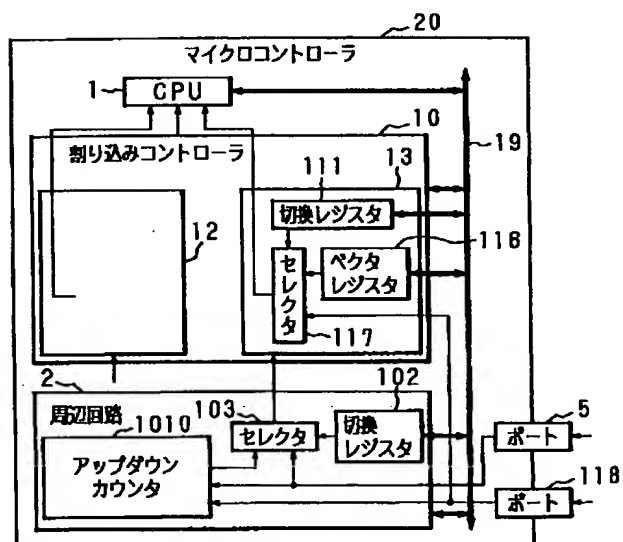
【図7】



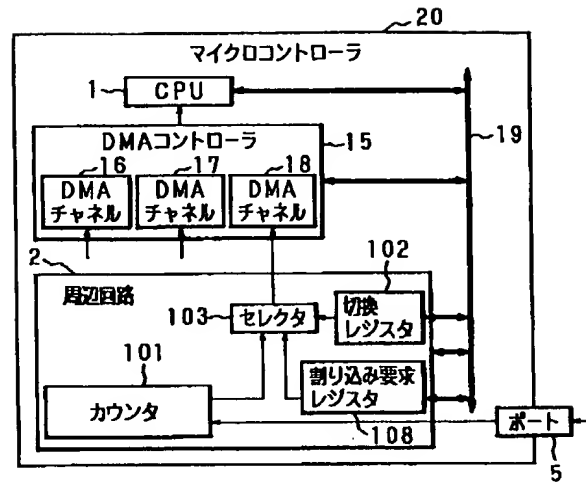
【図8】



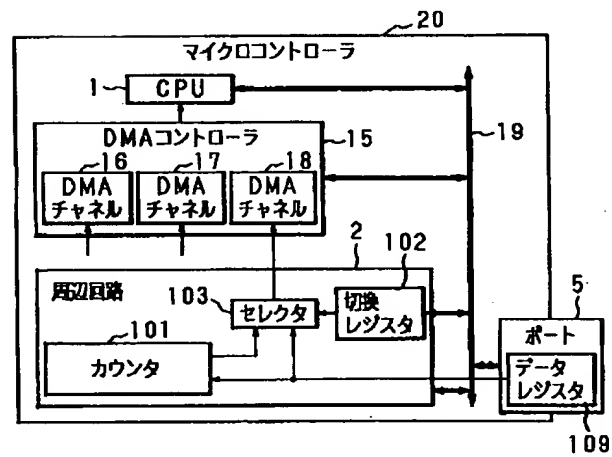
【図9】



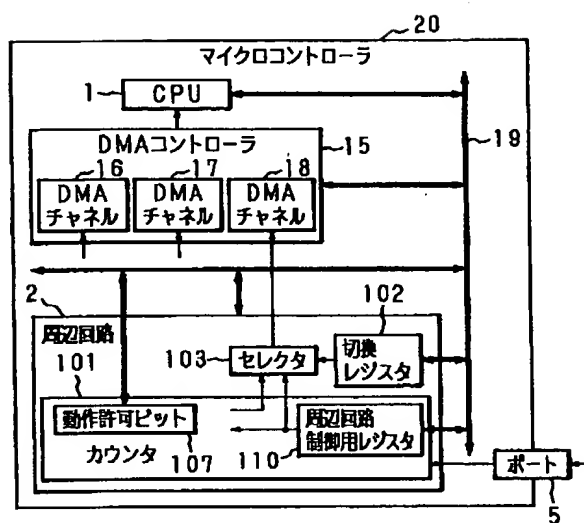
【図10】



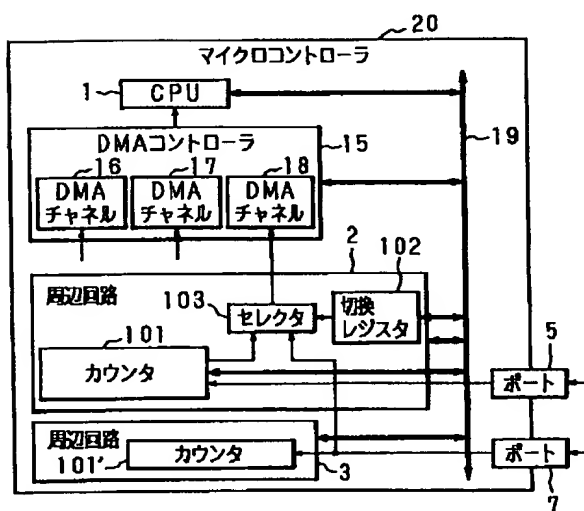
【図11】



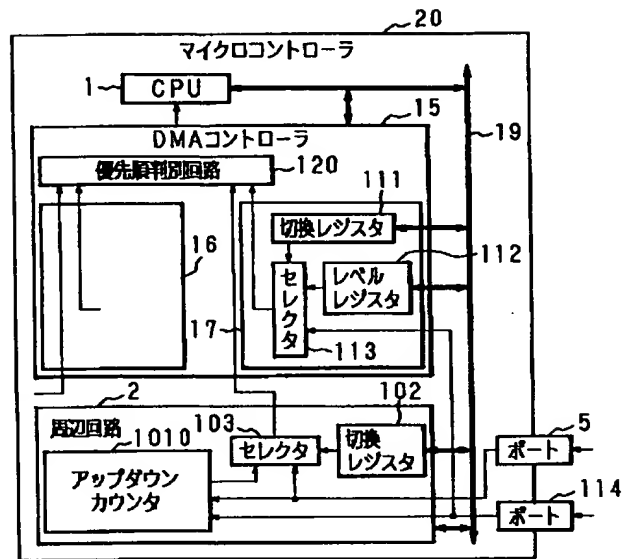
【図12】



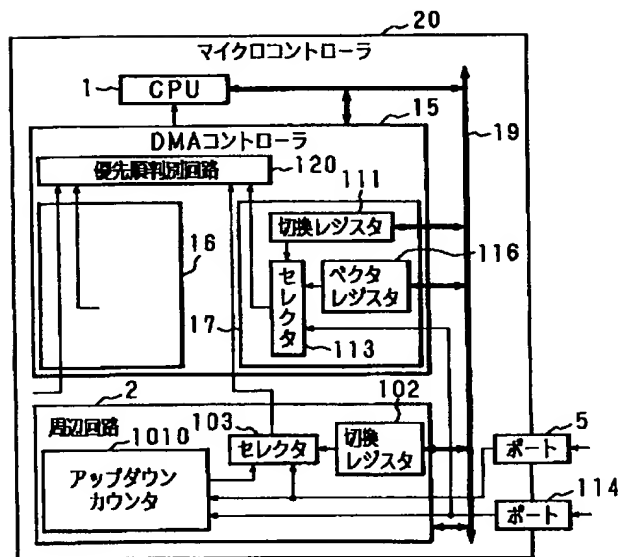
【図13】



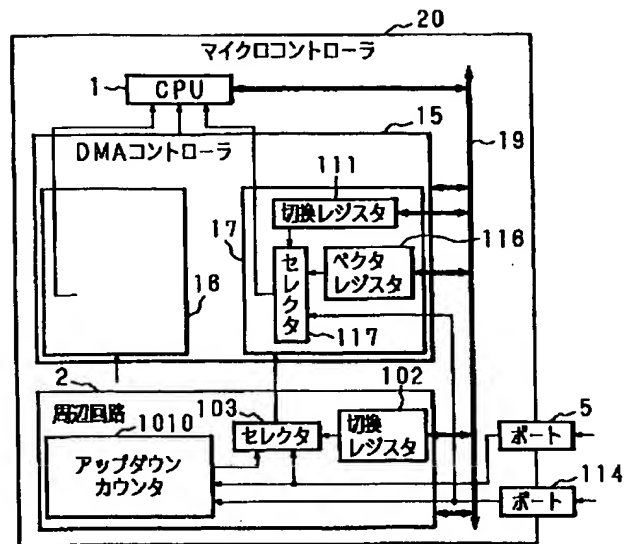
【図14】



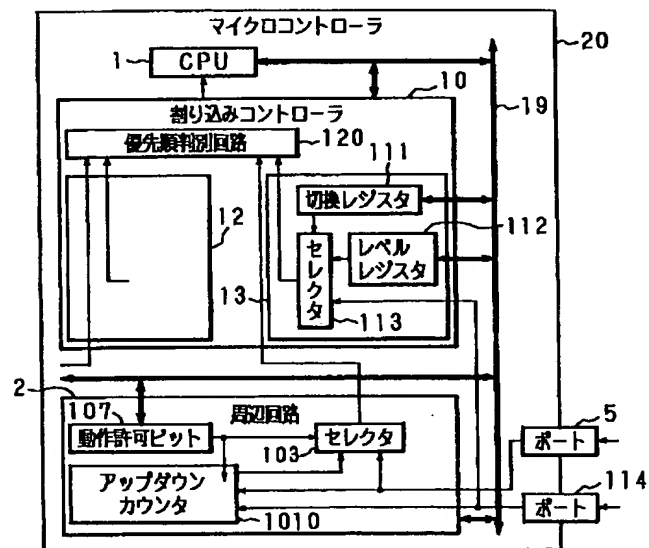
【図15】



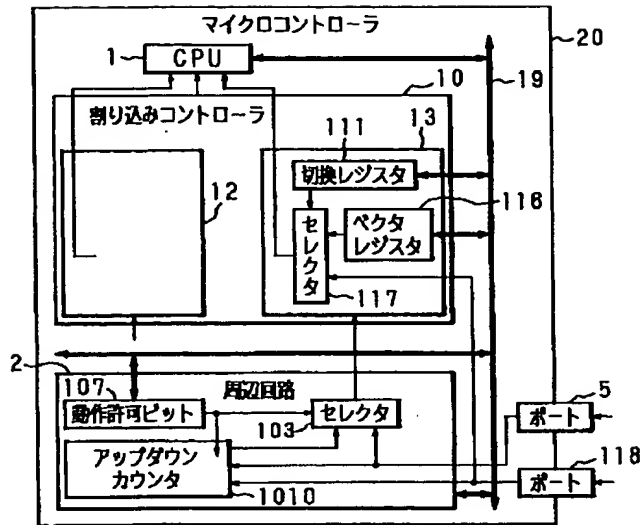
【図16】



【図17】



【図18】



【図19】

